

10/561870

PCT/JP2004/009902

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

06.07.2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2 0 0 3 年 7 月 7 日

出 願 番 号  
Application Number: 特 願 2 0 0 3 - 1 9 2 6 2 6  
[ST. 10/C]: [J P 2 0 0 3 - 1 9 2 6 2 6]

出 願 人  
Applicant(s): ソニー株式会社

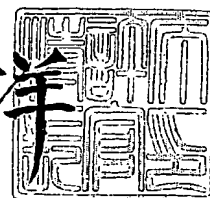
REC'D 19 AUG 2004	
W.P.O.	PCT

PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2 0 0 4 年 8 月 5 日

特許庁長官  
Commissioner,  
Japan Patent Office

小 川 洋



出証番号 出証特 2 0 0 4 - 3 0 6 9 5 2 4

【書類名】 特許願

【整理番号】 0390468402

【提出日】 平成15年 7月 7日

【あて先】 特許庁長官 殿

【国際特許分類】 G09G 3/36

【発明者】

    【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社  
                                内

    【氏名】 木田 芳利

【発明者】

    【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社  
                                内

    【氏名】 仲島 義晴

【特許出願人】

    【識別番号】 000002185

    【氏名又は名称】 ソニー株式会社

【代理人】

    【識別番号】 100102185

    【弁理士】

    【氏名又は名称】 多田 繁範

    【電話番号】 03-5950-1478

【手数料の表示】

    【予納台帳番号】 047267

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9713935

特願 2 0 0 3 - 1 9 2 6 2 6

ページ： 2/E

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ転送回路及びフラットディスプレイ装置

【特許請求の範囲】

【請求項 1】

入力データを第 1 ラッチ部でラッチし、前記第 1 ラッチ部のラッチ結果を第 2 ラッチ部にデータ転送してラッチするデータ転送回路において、

前記第 1 ラッチ部のラッチ結果の反転出力のみ、又は前記ラッチ結果の非反転出力のみ前記第 2 ラッチ部にデータ転送すると共に、

少なくとも前記第 1 ラッチ部のラッチ結果を前記第 2 ラッチ部にデータ転送する期間の間、前記第 1 ラッチ部の電源電圧を立ち上げる

ことを特徴とするデータ転送回路。

【請求項 2】

各画素の明るさを示す階調データを順次入力し、所定の表示部に前記階調データによる画像を表示するフラットディスプレイ装置において、

前記階調データを順次循環的にサンプリングし、前記階調データを対応する列に振り分ける複数のラッチ回路と、

前記ラッチ回路のラッチ結果により前記対応する列への出力信号レベルを設定するデジタルアナログ変換回路とを有し、

前記各ラッチ回路は、

それぞれ対応するタイミングにより前記階調データを第 1 ラッチ部でラッチし、前記複数のラッチ回路で同時並列的に、前記第 1 ラッチ部のラッチ結果を第 2 ラッチ部にデータ転送して前記デジタルアナログ変換回路に出力し、

前記第 1 ラッチ部のラッチ結果の反転出力のみ、又は前記第 1 ラッチ部のラッチ結果の非反転出力のみ前記第 2 ラッチ部にデータ転送すると共に、

少なくとも前記第 1 ラッチ部のラッチ結果を前記第 2 ラッチ部にデータ転送する期間の間、前記第 1 ラッチ部の電源電圧を立ち上げる

ことを特徴とするフラットディスプレイ装置。

【発明の詳細な説明】

【0001】

**【発明の属する技術分野】**

本発明は、データ転送回路及びフラットディスプレイ装置に関し、例えば絶縁基板上に駆動回路を一体に形成した液晶表示装置に適用することができる。本発明は、第1ラッチ部のラッチ結果の反転出力のみ、又は非反転出力のみ第2ラッチ部にデータ転送するようにし、少なくともこの第2ラッチ部にデータ転送する期間の間、第1ラッチ部の電源電圧を立ち上げることにより、TFT等による構成において、データ転送に係る構成を簡略化することができるようにする。

**【0002】****【従来の技術】**

近年、例えばPDA、携帯電話等の携帯端末装置に適用されるフラットディスプレイ装置である液晶表示装置においては、液晶表示パネルを構成する絶縁基板であるガラス基板上に、液晶表示パネルの駆動回路を一体に構成するものが提供されるようになされている。

**【0003】**

すなわち図3は、この種の液晶表示装置を示すブロック図である。この液晶表示装置1は、液晶セル2、この液晶セル2のスイッチング素子であるポリシリコンTFT（Thin Film Transistor：薄膜トランジスタ）3、図示しない保持容量とにより各画素が形成され、この各画素をマトリックス状に配置して矩形形状による表示部4が形成される。この液晶表示装置1では、このようにして表示部4に形成される各画素へのカラーフィルタの配置により、水平方向に、赤色、緑色、青色の画素R、G、Bを順次循環的に繰り返し、これら赤色、緑色、青色の画素R、G、Bを1組とした240組により水平方向の画素が形成されて表示部4が形成される。この液晶表示装置1では、これら赤色、緑色、青色の画素R、G、Bの階調を指示する各6ビットの階調データR0～R5、G0～G5、B0～B5が同時並列的にラスタ走査の順序により入力され、この階調データD1（R0～R5、G0～G5、B0～B5）により各画素を駆動して所望の画像を表示するようになされている。

**【0004】**

液晶表示装置1においては、この表示部4の信号線SL及びゲート線SGがそ

れぞれ水平駆動回路 5 及び垂直駆動回路 6 に接続され、水平駆動回路 5 は、階調データ D 1 に基づいて各信号線 S L に対応する画素の駆動信号を出力し、垂直駆動回路 6 は、この水平駆動回路 5 による信号線 S L への駆動信号の出力に対応してゲート線 S G の制御によりライン単位で表示部 4 の画素を選択する。これにより液晶表示装置 1 では、これら水平駆動回路 5 及び垂直駆動回路 6 により表示部 4 の各画素を駆動して所望の画像を表示するようになされている。

#### 【0005】

具体的に、水平駆動回路 5 は、例えば特開 2000-242209 号公報に開示されているように、複数の基準電圧 V 0 ~ V 6 3 を階調データに応じて選択することにより、階調データ D 1 をディジタルアナログ変換処理して駆動信号を生成するようになされている。すなわち水平駆動回路 5 は、水平方向への画素の配置に対応して設けられてなるサンプリングラッチ回路 (S L) 8 により順次循環的に階調データ D 1 の対応するビット R 0 ~ R 5、G 0 ~ G 5、B 0 ~ B 5 をサンプリングすることにより、この階調データ D 1 を 1 ライン単位でまとめ、対応する基準電圧セクタ 9 に出力する。基準電圧発生回路 10 は、階調データ D 1 の各階調に対応する複数の基準電圧 V 0 ~ V 6 3 を生成して出力する。基準電圧セクタ 9 は、それぞれサンプリングラッチ回路 8 の出力データにより、この基準電圧発生回路 10 から出力される基準電圧 V 0 ~ V 6 3 を選択することにより、対応する階調データ D 1 をディジタルアナログ変換処理してなる駆動信号を出力する。バッファ回路 11 は、この駆動信号を対応する信号線 S L に出力する。

#### 【0006】

図 4 は、このようにして構成される水平駆動回路 5 において、サンプリングラッチ回路 8 の 1 ビット分の構成を示す接続図である。サンプリングラッチ回路 8 においては、対応する画素の水平方向の位置に対応するタイミングにより第 1 ラッチ部 21 で階調データ D 1 をラッチして保持した後、垂直ブランキング期間に設定された所定のタイミングで第 1 ラッチ部 21 のラッチ結果を第 2 ラッチ部 22 に転送して出力し、これにより階調データをライン単位でまとめて基準電圧セクタ 9 に出力する。ここでこの種のサンプリングラッチ回路 8 等を構成する低温ポリシリコン T F T 等の絶縁基板上に形成されるアクティブ素子においては、

その特性にばらつきが大きい。このためサンプリングラッチ回路 8 においては、ラッチ結果の反転出力、非反転出力を出力する、いわゆる両相出力により第 2 ラッチ部 22 にラッチ結果を出力し、第 1 ラッチ部 21 及び第 2 ラッチ部 22 間で安定かつ確実にラッチ結果をデータ転送するようになされている。

#### 【0007】

すなわちこのサンプリングラッチ回路 8 において、第 1 ラッチ部 21 は、ゲート及びドレインがそれぞれ共通に接続された N チャンネル MOS（以下、NMOS と呼ぶ）トランジスタ Q1 及び P チャンネル MOS（以下、PMOS と呼ぶ）トランジスタ Q2 からなる CMOS インバータと、同様に、ゲート及びドレインがそれぞれ共通に接続された NMOS トランジスタ Q3 及び PMOS トランジスタ Q4 からなる CMOS インバータとが電源電圧 VCC の正側電源ラインと電圧 VSS の負側電源ラインとの間に並列に設けられる。第 1 ラッチ部 21 は、トランジスタ Q1 及び Q2 によるインバータ出力が、トランジスタ Q3 及び Q4 によるインバータに入力され、またサンプリングパルス  $s_p$  の反転信号  $x_{s_p}$  により動作する PMOS トランジスタ Q5 を介して、トランジスタ Q3 及び Q4 によるインバータ出力が、トランジスタ Q1 及び Q2 によるインバータに入力され、さらにサンプリングパルス  $s_p$  により動作する PMOS トランジスタ Q6 を介して、トランジスタ Q1 及び Q2 によるインバータに階調データ D1 が入力される。

#### 【0008】

これによりサンプリングラッチ回路 8 は、トランジスタ Q1～Q6 により比較器構成の CMOS ラッチセルが形成され、図 5 (A)～(D) により示すように、サンプリングパルス  $s_p$  により階調データ D1 をラッチするようになされ、このラッチのタイミングが対応する画素の水平方向の位置に応じて設定されるようになされている。

#### 【0009】

サンプリングラッチ回路 8 は、この第 1 ラッチ部 21 によるラッチ結果の反転出力、非反転出力をそれぞれ転送スイッチ 24、25 を介して第 2 ラッチ部 22 に入力する。ここでこの転送スイッチ 24、25 は、例えば水平ブランキング期間の立ち上がりのタイミングでオン状態に切り換わる（図 9 (E)）。

## 【0010】

第2ラッチ部22は、NMOSトランジスタQ7及びPMOSトランジスタQ8からなるCMOSインバータと、NMOSトランジスタQ9及びPMOSトランジスタQ10からなるCMOSインバータとによりラッチセルが形成され、転送スイッチ24、25を介して入力されるラッチ結果の反転出力、非反転出力がそれぞれトランジスタQ7、Q8によるCMOSインバータ、トランジスタQ9、Q10によるCMOSインバータに入力される。これによりサンプリングラッチ回路8は、水平ブランキング期間の立ち上がりのタイミングで、第1ラッチ部21のラッチ結果をデータ転送して第2ラッチ部22でラッチし（図5（F））、このラッチ結果をインバータ26より出力するようになされている。なお第2ラッチ部22においては、正側電源及び負側電源の設定により、続く基準電圧セレクタ9における処理に適するように、ラッチ出力をレベルシフトさせて出力する場合もある。

## 【0011】

## 【特許文献1】

特開2000-242209号公報

## 【0012】

## 【発明が解決しようとする課題】

ところでこのように両相によりラッチ結果等をデータ転送する場合、単相によるデータ転送に比して、構成が煩雑になる問題がある。このようなデータ転送に係る構成を簡略化することができれば、その分、全体構成を簡略化し得、この種の表示装置においては、いわゆる狭額縁化することができる。また消費電力も少なくすることができる。

## 【0013】

本発明は以上の点を考慮してなされたもので、TFT等による構成において、データ転送に係る構成を簡略化することができるデータ転送回路及びフラットディスプレイ装置を提案しようとするものである。

## 【0014】

## 【課題を解決するための手段】



かかる課題を解決するため請求項1の発明においては、入力データを第1ラッチ部でラッチし、第1ラッチ部のラッチ結果を第2ラッチ部にデータ転送してラッチするデータ転送回路に適用して、第1ラッチ部のラッチ結果の反転出力のみ、又はラッチ結果の非反転出力のみ第2ラッチ部にデータ転送すると共に、少なくとも第1ラッチ部のラッチ結果を第2ラッチ部にデータ転送する期間の間、第1ラッチ部の電源電圧を立ち上げるようにする。

【0015】

また請求項2の発明においては、フラットディスプレイ装置に適用して、階調データを順次循環的にサンプリングし、階調データを対応する列に振り分ける複数のラッチ回路と、ラッチ回路のラッチ結果により対応する列への出力信号レベルを設定するデジタルアナログ変換回路とを有し、各ラッチ回路は、第1ラッチ部のラッチ結果の反転出力のみ、又は第1ラッチ部のラッチ結果の非反転出力のみ第2ラッチ部にデータ転送すると共に、少なくとも第1ラッチ部のラッチ結果を第2ラッチ部にデータ転送する期間の間、第1ラッチ部の電源電圧を立ち上げるようにする。

【0016】

請求項1の構成により、第1ラッチ部のラッチ結果の反転出力のみ、又はラッチ結果の非反転出力のみ第2ラッチ部にデータ転送すれば、その分、反転出力、非反転出力の双方によりラッチ結果をデータ転送する場合に比して構成を簡略化することができる。また少なくとも第1ラッチ部のラッチ結果を第2ラッチ部にデータ転送する期間の間、第1ラッチ部の電源電圧を立ち上げるようにすれば、データ転送におけるマージンを拡大することができ、この拡大したマージンによりラッチ結果の反転出力のみ、又はラッチ結果の非反転出力のみ第2ラッチ部にデータ転送することによるマージンの減少を補い、安定かつ確実にラッチ結果をデータ転送することができる。

【0017】

これにより請求項2の発明によれば、フラットディスプレイ装置のラッチ回路において、簡易な構成により安定かつ確実にラッチ結果をデータ転送することができる。

## 【0018】

## 【発明の実施の形態】

以下、適宜図面を参照しながら本発明の実施の形態を詳述する。

## 【0019】

## (1) 第1の実施の形態

図1は、図4との対比により、本発明の実施の形態に係る液晶表示装置に適用されるサンプリングラッチ回路の1ビット分の構成を示す接続図である。この実施の形態に係る液晶表示装置においては、このサンプリングラッチ回路38の構成が異なる点を除いて、図3、図4について上述した液晶表示装置1と同一に構成されることにより、重複した説明は省略する。

## 【0020】

このサンプリングラッチ回路38においては、水平方向における画素の配置に対応するタイミングで第1ラッチ部41により階調データD1をラッチした後、水平ブランキング期間の所定のタイミングで、この第1ラッチ部41によるラッチ結果を第2ラッチ部42に転送してラッチし、続く基準電圧セクタ9に出力する。このサンプリングラッチ回路38は、これら第1ラッチ部41から第2ラッチ部42へのラッチ結果のデータ転送を単相により実行し、また単相によりデータ転送して不足するマージンを電源電圧の立ち上げにより確保する。

## 【0021】

すなわちこのサンプリングラッチ回路38において、第1ラッチ部41は、NMOSトランジスタQ11及びPMOSトランジスタQ12からなるCMOSインバータ、NMOSトランジスタQ13及びPMOSトランジスタQ14からなるCMOSインバータとが正側電源VHと負側電源VSSとの間に並列に設けられる。第1ラッチ部41は、トランジスタQ11及びQ12によるインバータ出力が、トランジスタQ13及びQ14によるインバータに入力され、またサンプリングパルスspによりオフ動作するスイッチ回路44を介して、トランジスタQ11及びQ12によるインバータ入力、トランジスタQ13及びQ14によるインバータに入力され、さらにサンプリングパルスspによりオン動作するPMOSトランジスタQ15を介して、トランジスタQ11及びQ12によるイン

バータに階調データ D1 が入力される。

#### 【0022】

これによりサンプリングラッチ回路 38 は、トランジスタ Q11～Q15 により CMOS ラッチセルが形成され、図 2 (A)～(C) により示すように、サンプリングパルス  $s_p$  によりスイッチ回路 44 をオフ状態に設定して階調データ D1 を取り込んだ後、スイッチ回路 44 をオン状態に設定して取り込んだ階調データ D1 を保持するようになされ、これらラッチに係るタイミングが対応する画素の水平方向の位置に応じて設定されるようになされている。

#### 【0023】

さらに第 1 ラッチ部 41 は、スイッチ回路 47 による電源の選択により、これらラッチに係る処理が、前段の回路に係る電源電圧と等しい電圧 2.9 [V] の電源 VDD1 に設定された状態で実行される。また第 2 ラッチ部 42 にラッチ結果をデータ転送する直前で、ラッチ時に比して電圧の高い電圧 5.8 [V] の電源 VDD2 が選択され、データ転送を完了すると、元の電源 VDD1 が選択される。これによりこのサンプリングラッチ回路 38 では、少なくとも第 1 ラッチ部 41 から第 2 ラッチ部 42 にラッチ結果をデータ転送する期間の間、電源電圧を立ち上げ、ラッチ結果を単相でデータ転送することにより低下するマージンを確保するようになされている。

#### 【0024】

第 1 ラッチ部 41 は、これにより転送スイッチ 45 を介して水平ブランキング期間の所定のタイミングで、ラッチ結果の振幅を拡大して第 2 ラッチ部 42 に転送し、この実施の形態では、このデータ転送に供するラッチ結果に反転出力が適用されるようになされている (図 2 (C)～(E))。

#### 【0025】

第 2 ラッチ部 42 は、NMOS トランジスタ Q16 及び PMOS トランジスタ Q17 からなる CMOS インバータ、NMOS トランジスタ Q18 及び PMOS トランジスタ Q19 からなる CMOS インバータとが正側電源 VDD2 と負側電源 VL との間に並列に設けられ、これらの CMOS インバータにより比較器回路構成のラッチセルが形成され、このラッチセルに転送スイッチ 45 の出力が供給

される。これにより第2ラッチ部42は、第1ラッチ部41のラッチ結果をラッチするようになされ、このラッチ結果をインバータ46を介して出力するようになされている。

#### 【0026】

さらに第2ラッチ部42は、この負側電源 $V_L$ の設定により、基準電圧セクタ9における処理に適するように、ラッチ出力をレベルシフトさせて出力するようになされている。

#### 【0027】

##### (2) 実施の形態の動作

以上の構成において、この液晶表示装置では(図3)、表示に供する各画素の階調を示すデータの連続による階調データD1が水平駆動回路5に入力され、ここでこの階調データD1がサンプリングラッチ回路38により順次サンプリングされてライン単位でまとめられ、続く基準電圧セクタ9により各階調データに応じた基準電圧 $V_0 \sim V_63$ が選択される。液晶表示装置1では、この基準電圧 $V_0 \sim V_63$ の選択により各画素を駆動する駆動信号が生成され、この駆動信号が信号線SLにより表示部4に供給され、垂直駆動回路6により選択された画素にこの駆動信号が印加される。これにより液晶表示装置1では、表示部4の各画素を対応する階調データD1により駆動して所望の画像を表示する。

#### 【0028】

このようにして表示部4を駆動する水平駆動回路5において、このように階調データD1を順次循環的にサンプリングするサンプリングラッチ回路38では(図1)、階調データD1の各ビットが対応するタイミングで第1のラッチ部41でラッチされた後、水平ブランキング期間の所定のタイミングで、各ビット、各サンプリングラッチ回路38で同時並列的に第2ラッチ部42に転送されてラッチされ、このラッチ結果が基準電圧セクタ9に出力される。これにより液晶表示装置1では、階調データD1がライン単位でまとめられ、基準電圧セクタ9によりデジタルアナログ変換処理される。

#### 【0029】

サンプリングラッチ回路38では、このような第1ラッチ部41から第2ラッ

チ部 4 2 へのデータ転送が、ラッチ結果の反転出力により実行され、これにより単相によりラッチ結果をデータ転送して、両相によりデータ転送する場合に比して、構成が簡略化される。具体的に、このようなデータ転送に係る転送スイッチにおいては、最低でもインバータ構成に係る 2 個のトランジスタが必要となる。これに対してこのように単相によりデータ転送する場合、この実施の形態では 2 4 0 組×3 (赤色、緑色、青色分)×6 ビット分の転送スイッチを省略し得、これにより両相によりデータ転送する場合に比して 4 3 2 0×2 個のトランジスタを省略することができる。これによりこの液晶表示装置では、構成を簡略化して消費電力を低減することができ、さらにはいわゆる狭額縁化することができる。

#### 【0030】

またこのようにしてデータ転送する期間の間、第 1 ラッチ部 4 1 においては、電源電圧が立ち上げられ、これにより単相によりラッチ結果をデータ転送する際に低下するマージンが確保される。これにより液晶表示装置では、単相によりラッチ結果をデータ転送するようにして、安定かつ確実にラッチ結果を第 2 ラッチ部 4 2 にデータ転送することができる。

#### 【0031】

##### (3) 実施の形態の効果

以上の構成によれば、第 1 ラッチ部のラッチ結果の反転出力のみ第 2 ラッチ部にデータ転送するようにし、少なくともこの第 2 ラッチ部にデータ転送する期間の間、第 1 ラッチ部の電源電圧を立ち上げることにより、TFT による構成において、データ伝送に係る構成を簡略化することができる。

#### 【0032】

##### (4) 他の実施の形態

なお上述の実施の形態においては、第 1 ラッチ部のラッチ結果の反転出力のみ第 2 ラッチ部にデータ転送する場合について述べたが、本発明はこれに限らず、ラッチ結果の非反転出力のみ第 2 ラッチ部にデータ転送する場合にも広く適用することができる。

#### 【0033】

また上述の実施の形態においては、ガラス基板上に表示部等を作成してなる T

FT 液晶に本発明を適用する場合について述べたが、本発明はこれに限らず、CGS (Continuous Grain Silicon) 液晶等、各種の液晶表示装置、さらには EL (Electro Luminescence) 表示装置等、種々のフラットディスプレイ装置に広く適用することができる。

#### 【0034】

また上述の実施の形態においては、液晶表示装置に適用して、絶縁基板に形成した低温ポリシリコン TFT によるアクティブ素子により第 1 及び第 2 ラッチ部を構成する場合について述べたが、本発明はこれに限らず、絶縁基板上に形成される各種アクティブ素子により第 1 及び第 2 ラッチ部を構成してデータ転送するデータ転送回路に広く適用することができる。

#### 【0035】

##### 【発明の効果】

上述のように本発明によれば、第 1 ラッチ部のラッチ結果の反転出力のみ、又は非反転出力のみ第 2 ラッチ部にデータ転送するようにし、少なくともこの第 2 ラッチ部にデータ転送する期間の間、第 1 ラッチ部の電源電圧を立ち上げることにより、TFT 等による構成において、データ伝送に係る構成を簡略化することができる。

##### 【図面の簡単な説明】

#### 【図 1】

本発明の実施の形態に係るサンプリングラッチ回路を示す接続図である。

#### 【図 2】

図 1 のサンプリングラッチ回路の動作の説明に供するタイムチャートである。

#### 【図 3】

液晶表示装置の構成を示すブロック図である。

#### 【図 4】

従来の液晶表示装置に適用されるサンプリングラッチ回路を示す接続図である。

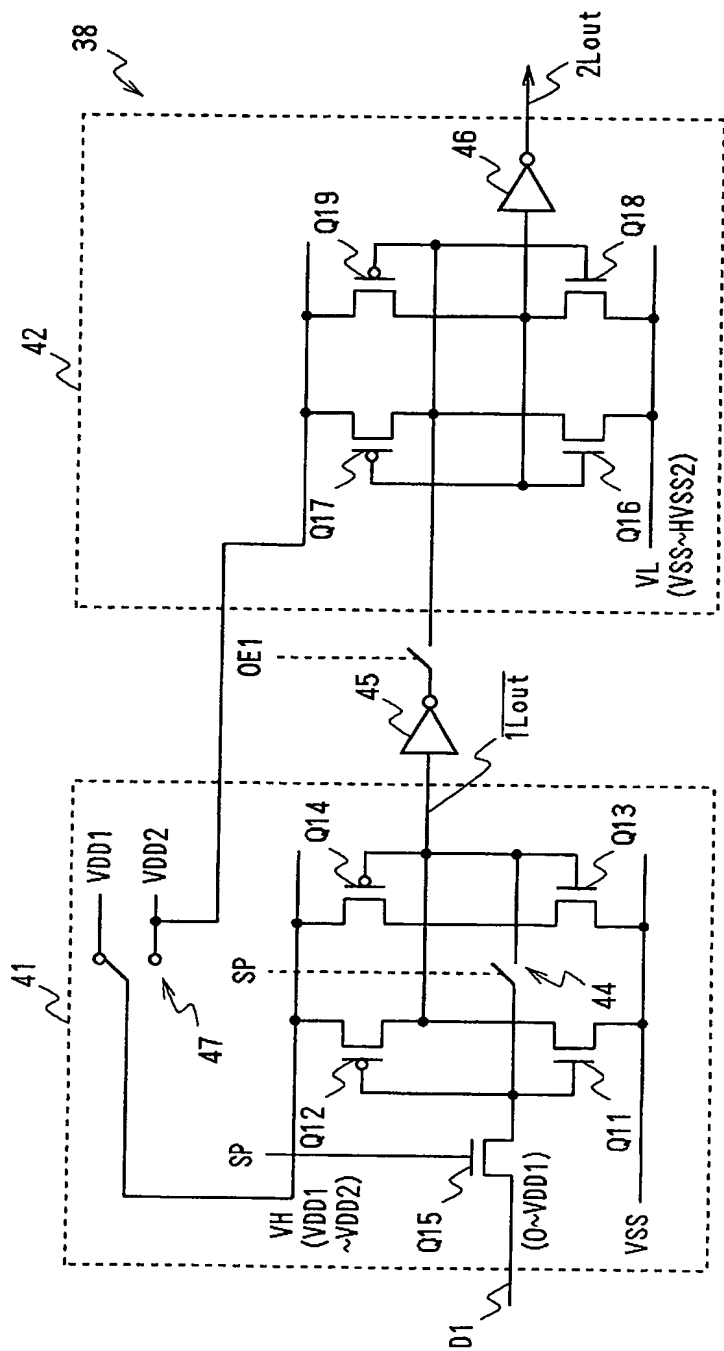
#### 【図 5】

図 4 のサンプリングラッチ回路の動作の説明に供するタイムチャートである。

【符号の説明】

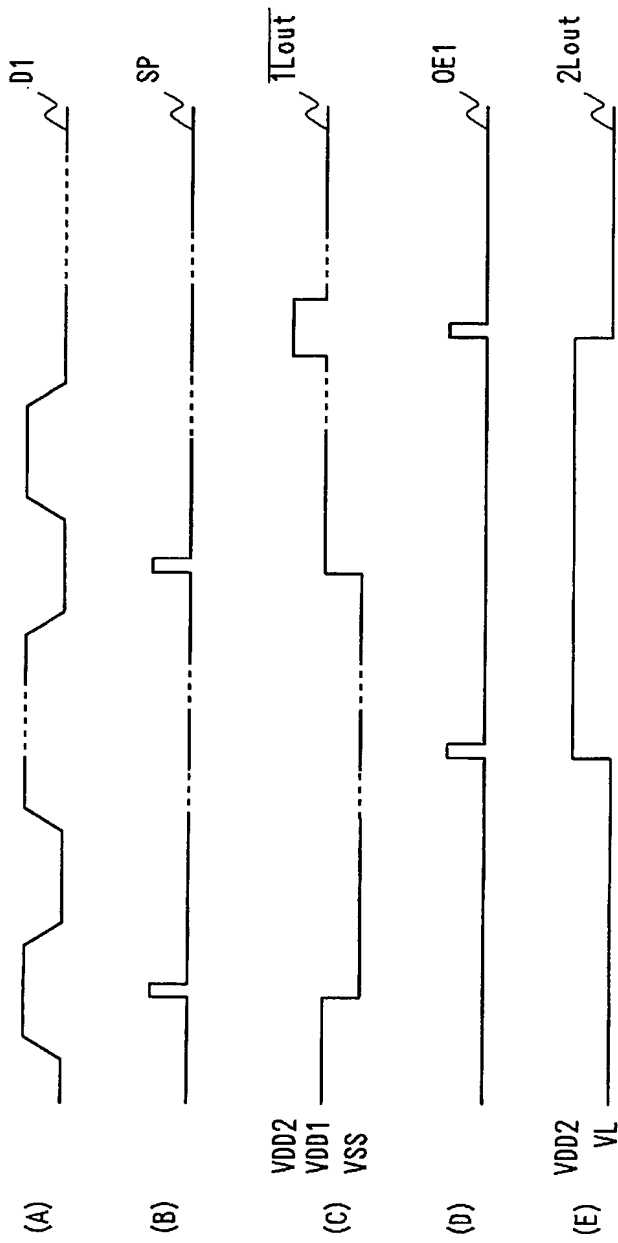
1 ……液晶表示装置、8、38 ……サンプリングラッチ回路、9 ……基準電圧  
セクタ、10 ……基準電圧発生回路、21、41 ……第1ラッチ部、22、4  
2 ……第2ラッチ部

【書類名】 図面  
【図 1】

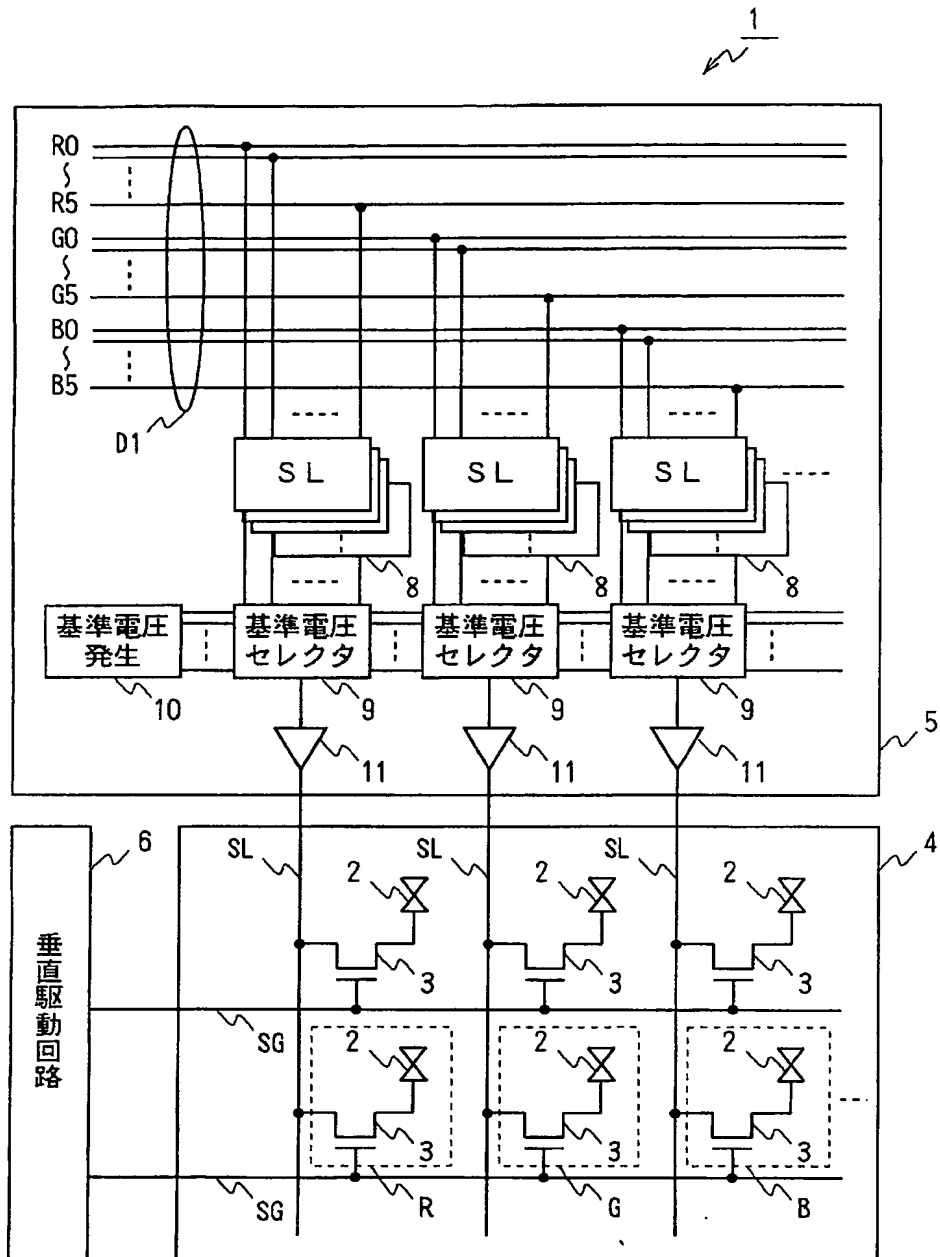




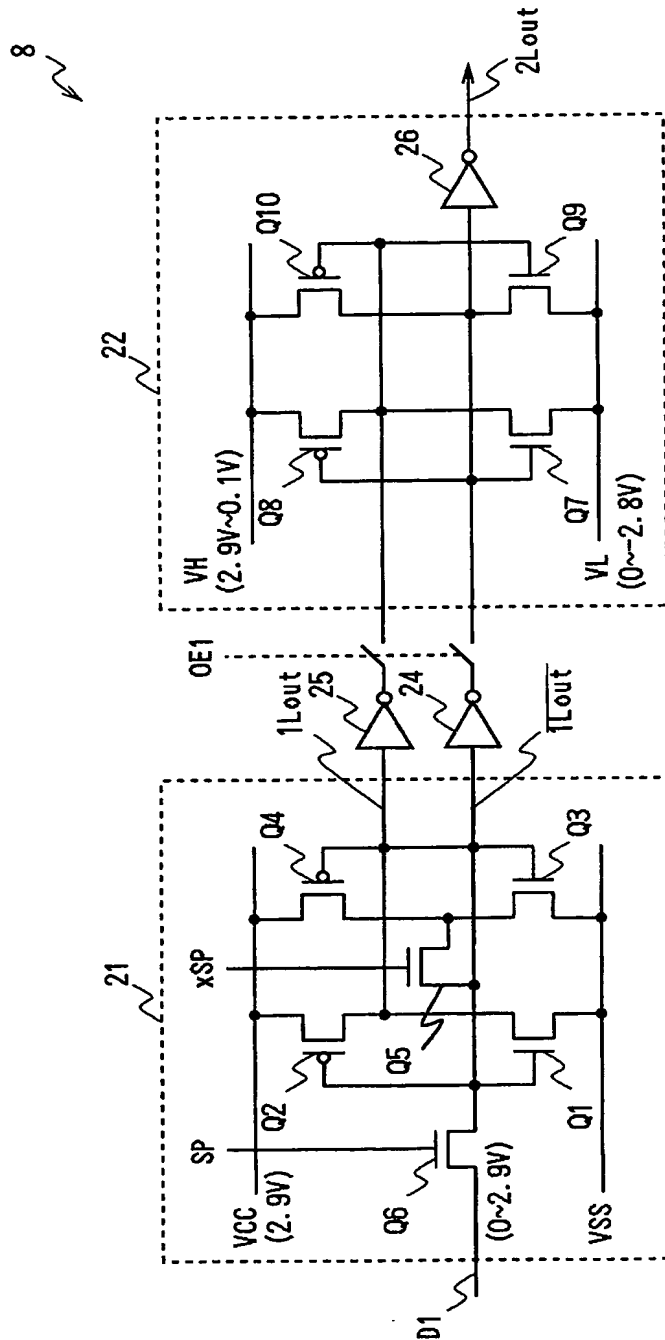
【図 2】



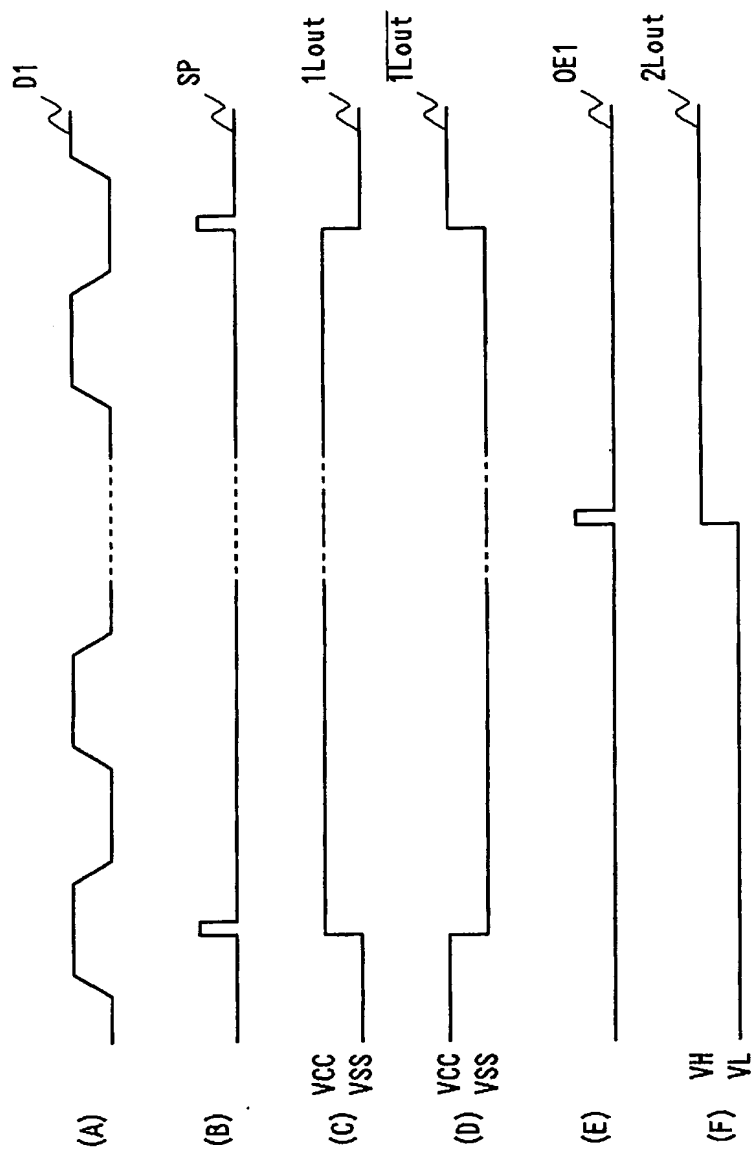
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 本発明は、データ転送回路及びフラットディスプレイ装置に関し、例えば絶縁基板上に駆動回路を一体に形成した液晶表示装置に適用して、TFT等による構成において、データ転送に係る構成を簡略化することができるようにする。

【解決手段】 本発明は、第1ラッチ部42のラッチ結果の反転出力のみ、又は非反転出力のみ第2ラッチ部42にデータ転送するようにし、少なくともこの第2ラッチ部42にデータ転送する期間の間、第1ラッチ部41の電源電圧を立ち上げる。

【選択図】 図1

特願 2003-192626

出 願 人 履 歴 情 報

識別番号

[000002185]

1. 変更年月日

1990年 8月30日

[変更理由]

新規登録

住 所

東京都品川区北品川6丁目7番35号

氏 名

ソニー株式会社